

TITLE OF THE INVENTION
IMAGE PROCESSING APPARATUS
BACKGROUND OF THE INVENTION

この発明は、例えば、複数の処理段階の画像処理を行う画像処理回路と、この画像処理回路を有し、スキャナにより読取った画像をプリンタによりプリントアウトする画像形成装置などの画像処理装置と、画像処理回路の制御方法に関する。

従来、デジタル複写機などの画像形成装置は、複数の処理段階の画像処理を行う画像処理回路としての画像処理LSIを有している。このような画像処理LSIの内部回路には、データの内容に関わらずに、画像データの処理中、常に共通のクロックが供給されている。

例えば、デジタル複写機などで処理される画像データは白地等の画素値のレベルの低いデータを含んでいる場合が多い。このような画像データを処理する場合、特に、画素値（濃度値）のデータの上位ビットは、実際には長時間にわたって値が変化していない。

しかしながら、従来の画像処理回路は、全てのビットに対して1つの共通のクロックのみで動作している。このため、実際には長時間にわたって画素値が変化していない上位ビットにも常にクロックが供給され、画像処理LSIの低消費電力化の障害となっている。

BRIEF SUMMARY OF THE INVENTION

この発明は、長時間にわたって特定のビットの値が変化していない場合であっても、常に、全てのビットに対して共通のクロックが供給され、画像処理回路の低消費電力化の障害となっているという問題点を解決するものであり、長時間にわたって特定のビットの値が変化していない場合に、画像処理回路の低消費電力化を実現できる画像処理回路、画像処理装置、及び画像処理回路の制御方法を提供することを目的とする。

この発明の画像処理回路は、クロック信号により駆動される複数のビットで表されるデータの処理を行うものにおいて、入力するデータの値が所定の値以下であるか否かを判定するレベル判定部と、このレベル判定部により入力するデータの値が所定の値以下でないと判定した場合に、上記所定の値に対応するビットへ

のクロック信号を供給し、上記レベル判定部により所定の値以下であると判定した場合に、上記所定の値に対応するビットへのクロック信号の供給を停止するクロック制御部とから構成されている。

この発明の画像処理装置は、クロック信号により駆動される複数のビットで表される画像データの処理を行う画像処理回路を有するものにおいて、上記画像処理回路に入力する画像データの濃度値が所定の濃度値以下であるか否かを判定するレベル判定部と、このレベル判定部により入力する画像データの濃度値が所定の濃度値以下でないと判定した場合に上記所定の濃度値に対応するビットへのクロック信号を供給し、上記レベル判定部により所定の濃度値以下と判定した場合に上記所定の濃度値に対応するビットへのクロック信号の供給を停止するクロック制御部とから構成されている。

この発明の画像処理回路の制御方法は、クロック信号により駆動される複数のビットで表されるデータの処理を行う画像処理回路を制御する方法において、入力するデータの値が所定の値以下であるか否かを判定する第1のステップと、この第1のステップにより入力するデータの値が所定の値以下でないと判定した場合に上記所定の値に対応するビットへのクロック信号を供給し、上記第1のステップにより入力するデータの値が所定の値以下であると判定した場合に上記所定の値に対応するビットへのクロック信号の供給を停止する第2のステップとを有する。

Additional objects and advantages of the invention will be set forth in the description which follows, and in part will be obvious from the description, or may be learned by practice of the invention. The objects and advantages of the invention may be realized and obtained by means of the instrumentalities and combinations particularly pointed out hereinafter.

BRIEF DESCRIPTION OF THE SEVERAL VIEWS OF THE DRAWING

The accompanying drawings, which are incorporated in and constitute a part of the specification, illustrate

presently preferred embodiments of the invention, and together with the general description given above and the detailed description of the preferred embodiments given below, serve to explain the principles of the invention.

FIG.1 この発明の実施形態に係るデジタル複写機の概略構成を示す断面図。

FIG.2 デジタル複写機の概略構成を示すブロック図。

FIG.3 画像処理部の概略構成を示すブロック図。

FIG.4 画像処理ブロックの要部を示す図。

FIG.5 レベル判定部の構成例を示す図。

FIG.6 クロック制御部の構成例を示す図。

FIG.7 画素値に対する各クロック信号の出力例を示す図。

FIG.8 各クロック信号の出力制御を説明するためのフローチャート。

FIG.9 画像処理部の他の構成例を示すブロック図。

FIG.10 画像処理部の他の構成例を示すブロック図。

DETAILED DESCRIPTION OF THE INVENTION

以下、この発明の実施の形態について図面を参照して説明する。

図1はこの発明の画像形成装置の一例としてのデジタル複写機1の概略構成を示す断面図である。

図1に示すように、デジタル複写機1は装置本体2を備え、この装置本体2内には、画像読取手段としてのスキャナ部4、および画像形成手段として機能するプリンタ部6が設けられている。

装置本体2の上面には、読取対象物、つまり原稿Dが載置される透明なガラスからなる原稿載置台8が設けられている。また、装置本体2の上面には、原稿載置台8上に原稿Dを自動的に送る自動原稿送り装置9（以下、ADFと称する）が配設されている。

装置本体2内に配設されたスキャナ部4は、原稿載置台8に載置された原稿Dを照明する光源としての例えばハロゲンランプなどで構成される露光ランプ10、原稿Dからの反射光を所定の方に偏向する第1のミラー12を有し、これらの露光ランプ10、第1のミラー12は、原稿載置台8の下方に配設された第1キ

ャリッジ 14 に取り付けられている。

第 1 キャリッジ 14 は、原稿載置台 8 と平行に移動可能に配置され、図示しない歯付きベルト等を介してスキャナモータ（駆動モータ）16 により、原稿載置台 8 の下方を往復移動される。スキャナモータ 16 は、ステッピングモータなどにより構成されている。

また、原稿載置台 8 の下方には、原稿載置台 8 と平行に移動可能な第 2 キャリッジ 18 が配設されている。第 2 キャリッジ 18 には、第 1 のミラー 12 により偏向された原稿 D からの反射光を順に偏向する第 2 および第 3 のミラー 20、22 が互いに直角に取り付けられている。第 2 のキャリッジ 18 は、第 1 キャリッジ 14 を駆動する歯付きベルト等により、スキャナモータ 16 からの回転力が伝達され、第 1 キャリッジ 14 に対して従動されるとともに、第 1 キャリッジに対して、1/2 の速度で原稿載置台 8 に沿って平行に移動される。

また、原稿載置台 8 の下方には、第 2 キャリッジ 18 上の第 3 のミラー 20 からの反射光を集束する結像レンズ 24 と、結像レンズ 24 により集束された反射光を受光して光電変換する CCD センサ（ラインセンサ）26 とが配設されている。結像レンズ 24 は、第 3 のミラー 20 により偏向された光の光軸を含む面内に、駆動機構を介して移動可能に配設され、自身が移動することで反射光を所望の倍率（主走査方向）で結像する。そして、CCD センサ 26 は、後述するメイン CPU から与えられる画像処理クロックに従って入射した反射光を光電変換し、読み取った原稿 D に対応する電気信号を出力する。副走査方向の倍率は、上記第 1 キャリッジ 14 の移動速度を変更することにより対応できるようになっている。

一方、プリンタ部 6 は、潜像形成手段として作用するレーザ露光装置 28 を備えている。レーザ露光装置 28 からのレーザ光により、感光体ドラム 30 周面を走査することにより感光体ドラム 30 周面上に静電潜像を形成する。

また、プリンタ部 6 は、装置本体 2 のほぼ中央に配設された像担持体としての回転自在な感光体ドラム 30 を有し、感光体ドラム 30 周面は、レーザ露光装置 28 からのレーザ光により露光され、所望の静電潜像が形成される。感光体ドラム 30 の周面には、ドラム周面を所定の電荷に帯電させる帯電チャージャ 32、感光体ドラム 30 周面上に形成された静電潜像に現像剤としてのトナーを供給し

て所望の画像濃度で現像する現像器 3 4、後述する用紙カセットから給紙された被画像形成媒体、つまり、コピー用紙 P を感光体ドラム 3 0 から分離させるための剥離チャージャ 3 6 を一体に有し、感光体ドラム 3 0 に形成されたトナー像を用紙 P に転写させる転写チャージャ 3 8、感光体ドラム 3 0 周面からコピー用紙 P を剥離する剥離爪 4 0、感光体ドラム 3 0 周面に残留したトナーを清掃する清掃装置 4 2、および、感光体ドラム 3 0 周面の除電する除電器 4 3 が順に配置されている。

装置本体 2 内の下部、側部には、それぞれ装置本体 2 から引き出し可能なカセットや大容量フィーダが設けられている。

装置本体 2 内には、各カセットおよび大容量フィーダから感光体ドラム 3 0 と転写チャージャ 3 8 との間に位置した転写部を通して延びる搬送路 4 4 が形成され、搬送路 4 4 の終端には定着ランプを有する定着装置 4 6 が設けられている。定着装置 4 6 に対向した装置本体 2 の側壁には排出口 4 8 が形成され、排出口 4 8 にはフィニッシャ 5 0 が装着されている。

転写部において、感光体ドラム 3 0 上に形成された現像剤像、つまり、トナー像が、転写チャージャ 3 8 により用紙 P 上に転写される。トナー像の転写されたコピー用紙 P は、剥離チャージャ 3 6 および剥離爪 4 0 の作用により感光体ドラム 3 0 周面から剥離され、搬送路 4 4 の一部を構成する搬送ベルト 5 2 を介して定着装置 4 6 に搬送される。そして、定着装置 4 6 によって現像剤像がコピー用紙 P に熔融定着された後、コピー用紙 P は、給紙ローラ対 5 4 および排紙ローラ対 5 6 により排出口 4 8 を通してフィニッシ 5 0 上へ排出される。

搬送路 4 4 の下方には、定着装置 4 6 を通過したコピー用紙 P を反転して再び搬送路 4 4 へ送る自動両面装置 5 6 が設けられている。

フィニッシャ 5 0 は排紙された一部構成の文書を一部単位でステープル止めし貯めていくものである。

また、装置本体 2 の前面上部には、コピー倍率等の様々な複写条件並びに複写開始などを指示する操作パネル（後述する）が設けられている。

図 2 は、図 1 におけるデジタル複写機 1 の電氣的接続および制御のための信号の流れを概略的に表すブロック図が示されている。

図2によれば、デジタル複写機1において、主制御部60内のメインCPU61とスキャナ部4のスキャナCPU70とのプリンタ部6のプリンタCPU80の3つのCPUで構成される。メインCPU61は、スキャナCPU70とプリンタCPU80とそれぞれシリアルインターフェースを介して双方向通信（非同期シリアル通信）を行うものであり、メインCPU61は操作指示をだし、は状態ステータスを返すようになっている。

主制御部60は、メインCPU61、ROM62、RAM63、NVM64、画像処理回路65、ページメモリ制御部66、ページメモリ67によって構成されている。

メインCPU61は、主制御部60の全体を制御するものである。ROM62は、スキャナ部4内の検知温度に対する原稿読取時の制御プログラムなどの種々の制御プログラムや制御データが記憶されている。RAM63は、一時的にデータを記憶するものである。

NVM（持久ランダムアクセスメモリ：nonvolatile RAM）64は、バッテリー（図示しない）にバックアップされた不揮発性のメモリであり、電源を切った時NVM64上のデータを保持するようになっている。

画像処理回路65は、メインCPU61から与えられる画像処理クロックCLKに基づいてシェーディング補正、平滑化处理、エッジ強調、拡大／縮小の処理、階調処理等を行うものである。

ページメモリ制御部66は、ページメモリ67に画像データを記憶および読出しを行ったり、ページメモリ67上の画像データにページフォントなどの文字を合成したりするものである。

スキャナ部4は、スキャナ部4の全体を制御するスキャナCPU70、制御プログラム等が記憶されているROM71、データ記憶用のRAM72、CCDセンサ26を駆動するCCDドライバ73、露光ランプ10およびミラー12、20、22が搭載される第1、第2キャリッジ14、18などを移動するスキャナモータ16の回転を制御するスキャナモータドライバ74、CCDセンサ26からの出力信号をアナログアンプ（図示しない）で増幅し、A/Dコンバータ（図示しない）によりデジタル信号に変換する画像補正部75、露光ランプ10にオ

ン・オフ制御するとともに、露光ランプ10に与える電力量を制御することにより露光ランプ10の光量を制御する露光ランプ制御部76などから構成されている。

また、RAM72は、メインCPU61より指定されたイメージスキャン倍率（速度）を保存するようになっている。

また、ROM71には、あらかじめ全イメージスキャン倍率に対するマクロ識別のプリスキャンの副走査速度誤差データが記憶されている。これにより、スキヤナCPU70は、メインCPU61より指定された倍率（速度）の副走査速度誤差データをROM71から取り出し、メインCPU61へ送信するようになっている。

プリンタ部6は、プリンタ部6の全体を制御するプリンタCPU80、制御プログラム等が記憶されているROM81、データ記憶用のRAM82、レーザ露光装置28の半導体レーザ（図示しない）による発光をオン／オフするレーザドライバ83、レーザ露光装置28のポリゴンモータの回転を制御するポリゴンモータドライバ84、搬送路44による用紙Pの搬送を制御する紙搬送部85、帯電チャージャ32、現像器34、転写チャージャ38を用いて帯電、現像、転写を行う現像プロセス部86、定着装置46を制御する定着制御部87、およびオプシヨン部88によって構成されている。

また、画像処理回路65、ページメモリ67、画像補正部75、レーザドライバ83は、画像データバス68によって接続されている。

操作パネル90は、メインCPU61に接続されるパネルCPU91にプリントキー92と液晶表示部93とが接続され、液晶表示部93の表示内容の制御や入力内容の処理などの全体の制御が行われる。

これにより、プリンタCPU80、スキヤナCPU70の動作状態はステータスとしてメインCPU61に返され、常時メインCPU61はプリンタCPU70、スキヤナCPU70の状態把握ができ、それらと操作パネル90からの入力内容を判断して複写機全体をコントロールするようになっている。

図3は、画像処理部65の構成を示すブロック図である。図3に示す画像処理部65では、1ライン分あるいは数ライン分の各画素に対する処理を行う。図3

では、画素値が 8 b i t で表される画素に対する処理を行うブロックを示している。

図 3 に示すように、上記画像処理回路 6 5 は、シェーディング補正回路 1 0 1、L P F（ローパスフィルタ） 1 0 2、H P F（ハイパスフィルタ） 1 0 3、拡大／縮小部 1 0 4、階調処理部 1 0 5、レベル判定部 1 0 6、クロック制御部 1 0 7 を有している。

ここで、シェーディング補正回路 1 0 1、L P F（ローパスフィルタ） 1 0 2、H P F（ハイパスフィルタ） 1 0 3、拡大／縮小部 1 0 4、階調処理部 1 0 5 は、画像処理ブロックとなっている。これらの各画像処理ブロック 1 0 1 ～ 1 0 5 により C C D センサ 2 6 から入力される画像データに対する複数の段階の画像処理が行われる。

すなわち、C C D センサ 2 6 から入力された画像データはアナログアンプ（図示しない）で増幅され、A / D コンバータ（図示しない）によりデジタル信号に変換された後に画像処理回路 6 5 に入る。

画像処理回路 6 5 では、まず、画像データがシェーディング補正回路 1 0 1 によりシェーディング補正される。次に、シェーディング補正された画像データは、L P F（ローパスフィルタ） 1 0 2 によって平滑化処理がなされる。この後、平滑化処理がなされた画像データは、H P F（ハイパスフィルタ） 1 0 3 によってエッジ強調される。つぎに、エッジ強調された画像データは、拡大／縮小部 1 0 4 によって画像の拡大／縮小の処理がなされる。その後、拡大／縮小の処理がなされた画像データは、階調処理部 1 0 5 で誤差拡散やディザ処理といった階調処理がなされ、バッファメモリ（図示しない）に出力される。

上記レベル判定部 1 0 6 は、画像処理回路 6 5 に入力する画像データの各画素の濃度値（画素値）のレベルを判定する。このレベル判定部 1 0 6 は、判定した画素値のレベルに基づいて複数のクロック信号を制御するための複数の停止信号（C G 0、C G 1、C G 2、C G 3）を上記クロック制御部 1 0 7 へ出力する。

上記クロック制御部 1 0 7 は、上記レベル判定部 1 0 6 からの停止信号に基づいて複数のクロック信号（C L K 0、C L K 1、C L K 2、C L K 3）を出力を制御する。このクロック制御部 1 0 7 から出力される複数のクロック信号（C L

K0、CLK1、CLK2、CLK3）は、上記シェーディング補正回路101、LPF102、HPF103、拡大／縮小部104、及び階調処理部105にそれぞれ供給される。このクロック制御部107により停止されているクロック信号に対応するbitのデータは、全て「0」となる。

なお、上記レベル判定部106及びクロック制御部107は、上記各画像処理ブロックとともに画像処理LSIに組み込まれた画像処理回路として提供されても良いし、上記各画像処理ブロックが組み込まれた画像処理LSIの制御回路として提供されるようにしても良い。

図4は、各画像処理ブロック（101～105）における要部の構成例を示す図である。

上記シェーディング補正回路101、LPF102、HPF103、拡大／縮小部104、及び階調処理部105には、画像データが画素値が8ビット（bit0、bit1、bit2、bit3、bit4、bit5、bit6、bit7）のデータとして供給される。さらに、各画像処理ブロック（101～105）には、クロック制御部107よりクロック信号（CLK0、CLK1、CLK2、CLK3）が供給される。

上記クロック信号CLK0は、8ビットのデータの下位4ビット分（bit0、bit1、bit2、bit3）に対するクロック信号である。上記クロック信号CLK1は、8ビットのデータのbit4およびbit5に対するクロック信号である。上記クロック信号CLK2は、8ビットのデータのbit6に対するクロック信号である。上記クロック信号CLK3は、8ビットのデータのbit7に対するクロック信号である。

従って、クロック信号CLK0のみが供給されている場合、8ビットのデータのうち下位4ビット分（bit0、bit1、bit2、bit3）が有効となり、上位4ビット（bit4、bit5、bit6、bit7）が「0」となる。

また、クロック信号CLK0とクロック信号CLK1だけが供給されている場合、8ビットのデータのうち下位6ビット分（bit0、bit1、bit2、bit3、bit4、bit5）が有効となり、上位2ビット（bit6、bit7）が「0」となる。

また、クロック信号CLK0、クロック信号CLK1及びクロック信号CLK2だけが供給されている場合、8ビットのデータのうち下位7ビット分(bit0、bit1、bit2、bit3、bit4、bit5、bit6)が有効となり、上位1ビット(bit7)が「0」となる。

また、クロック信号CLK0、クロック信号CLK1、クロック信号CLK2及びクロック信号CLK3が全て供給されている場合、8ビットのデータの全てのビットが有効となる。

次に、上記レベル判定部106の構成について説明する。

図5は、レベル判定部106の構成を概略的に示す図である。図5に示すように、レベル判定部106は、デコード部110、遅延制御部111、及び4つのNORゲート112～115を有している。

上記デコード部110は、入力される8ビットの画素値に基づいて各クロック信号CLK0、CLK1、CLK2、CLK3が停止させるレベルであるか否かを判定する。これらの判定結果を示すデータ(CLK0、CLK1、CLK2、CLK3の判定結果)は、停止させるレベルである場合に「0」となり、停止させるレベルでない場合に「1」となる。これらのCLK0、CLK1、CLK2、CLK3の判定結果は、それぞれNORゲート112～115に出力されるとともに、遅延制御部111へ出力される。上記遅延制御部111はデータを所定の遅延時間Td分遅らせて、それぞれNORゲート112～115へ出力する。上記NORゲート112～115では、供給されたデータが共に「0」である場合にのみ「1」を出力し、それ以外の場合に「0」を出力する。

これらの構成により上記NORゲート112～115では、上記デコード部110から出力された判定結果と上記遅延制御部111から遅延して出力される判定結果とが共に「0」である場合にクロック信号を停止させる停止信号(CG0、CG1、CG2、CG3)として「1」を出力する。

図5に示す例では、上記NORゲート112には、デコード部110からのCLK0の判定結果と、遅延制御部111からの所定の遅延時間Td分遅らされたCLK0の判定結果とが供給される。同様に、上記NORゲート113には、デコード部110からのCLK1の判定結果と、遅延制御部111からの所定の遅

延時間 T_d 分遅らされた CLK_1 の判定結果とが供給される。上記 NOR ゲート 114 には、デコード部 110 からの CLK_2 の判定結果と、上記遅延制御部 111 からの所定の遅延時間 T_d 分遅らされた CLK_2 の判定結果とが供給される。上記 NOR ゲート 115 には、デコード部 110 からの CLK_3 の判定結果と、遅延制御部 111 からの所定の遅延時間 T_d 分遅らされた CLK_3 の判定結果とが供給される。

従って、上記 NOR ゲート 112 ~ 115 では、入力する画素値に対する判定結果と、遅延時間 T_d 前の画素値に対する判定結果との NOR 演算の結果が出力される。この NOR ゲート 112 ~ 115 からの出力データは、それぞれクロック信号 CLK_0 、 CLK_1 、 CLK_2 、 CLK_3 に対する停止信号 (CG_0 、 CG_1 、 CG_2 、 CG_3) である。これらの停止信号 CG_0 、 CG_1 、 CG_2 、 CG_3 は、それぞれクロック信号 CLK_0 、 CLK_1 、 CLK_2 、 CLK_3 を停止させる場合に「1」となり、停止させない場合に「0」となる。

また、上記遅延制御部 111 が遅延させる遅延時間 T_d は、入力した画素値のデータに対する画像処理部 65 での処理時間に対応している。つまり、遅延時間 T_d は、図 3 に示すような複数段の画像処理ブロック 101 ~ 105 において、画素値のデータが最初の画像処理ブロック 101 に入力してから最後の画像処理ブロック 105 から出力されるまでの時間に対応している。また、画像処理部 65 では処理がクロック信号に基づいて実行される。このため、上記遅延時間 T_d は、画像処理部内の各画像処理ブロックでのクロック数に基づいて設定される。

次に、上記クロック制御部 107 の構成について説明する。

図 6 は、クロック制御部 107 の構成を概略的に示す図である。図 6 に示すように、クロック制御部 107 は、ラッチ回路 121 ~ 124 及び AND ゲート 125 ~ 128 を有している。

上記ラッチ回路 121 ~ 124 には、それぞれ上記レベル判定部 106 からの停止信号 CG_0 、 CG_1 、 CG_2 、 CG_3 が入力される。これらの信号とともに、上記ラッチ回路 121 ~ 124 には、各クロック信号 CLK_0 、 CLK_1 、 CLK_2 、 CLK_3 の基準となる基準クロック信号 CLK が分割して入力される。従って、各ラッチ回路 121 ~ 124 では、基準クロック信号 CLK に同期した停

止信号をANDゲート125～128に出力するようになっている。

各ANDゲート125～128には、基準クロック信号CLKが入力されるとともに、ラッチ回路121～124からの出力が入力されるようになっている。従って、各ANDゲート125～128は、上記ラッチ回路121～124から基準クロック信号CLKに同期した停止信号「1」が出力された場合に基準クロックCLKをクロック信号CLK0、CLK1、CLK2、CLK3として出力するようになっている。

上記のように、レベル判定部106では、画素値のレベルに応じて停止信号をクロック制御部107へ出力する。クロック制御部107では、レベル判定部106からの停止信号に基づいて、基準クロック信号CLKから分割される複数のクロック信号CLK0、CLK1、CLK2、CLK3のオンオフを制御するようになっている。これにより、基準クロック信号を分割し、この分割された基準クロック信号を停止信号に応じて制御でき、不要なクロック信号を削減できる。

次に、各クロック信号CLK0、CLK1、CLK2、CLK3の出力制御について説明する。

図7は、画素値（濃度値）と各クロック信号CLK0、CLK1、CLK2、CLK3との関係を示す例である。図7に示す例では、クロック信号CLK0を常にオンとし、各クロック信号CLK1、CLK2及びCLK3の制御信号としてのCG1、CG2及びCG3の閾値として07h、1Fh及び3Fhが設定されているものとする。

ここで、上記閾値は、画像処理後のデータの変化を考慮して設定されている。この閾値は、入力される画素値だけを考慮して設定すると、正常な値が出力されなくなることがある。例えば、補正後の画素値が入力時の画素値より大きくなった場合、クロック信号が停止していれば、正常な値が出力されない。従って、上記閾値は、各画像処理ブロック101～105での画素値の変動を考慮したマージンを含めた値が設定される。

例えば、16進数で3Fhというデータは、8ビットに対応する2進数で「00111111」となる。このようなデータが入力された場合、画像処理ブロックで画素値が3Fhよりも大きくなると、8ビットの上位2ビット（bit6又

はbit 7) が1となる。従って、3Fhをクロック信号CLK 2の閾値に設定した場合、画素値が3Fhよりも大きくなっても、上位2ビットはクロック信号が供給されていないため、「0」となってしまう。このような不具合を避けるため、図7に示す例では、8ビットの最上位となるbit 7に供給するクロック信号CLK 3の閾値を3Fh（「00111111」）とし、bit 6に供給するクロック信号CLK 2の閾値を1Fh（「00011111」）とし、bit 5及びbit 4に供給するクロック信号CLK 1の閾値を07h（「00000111」）とする。なお、クロック信号CLK 0は、常に供給されるものとする。

このように、画像処理ブロックに分割して供給するクロック信号を停止する閾値は、データが画像処理ブロックの処理でのデータの変動範囲を考慮して設定するようにしたものである。これによりクロック信号が停止された場合であっても、画像処理回路では、不具合がなく画像処理が実行できる。

図8は、入力される画素値のレベルに応じたクロック制御を説明するためのフローチャートである。ここでは、8ビットの画素値に対して図7に示すような閾値が設定されている場合について説明する。

まず、スキャナ部4により読取った画像データが画像処理部65に輸入されたとする（ステップS1）。画像データが輸入された画像処理部65では、画像データの各画素ごとに8ビットで表される画素値が上記レベル判定部106に輸入される。レベル判定部106は、入力された画素値のレベル判定処理を開始する（ステップS2）。

すなわち、レベル判定部106は、まず、デコード部110により入力された画素値のレベルが07h（「00000111」）以下であるか否かを判定する（ステップS3）。この判定により画素値のレベルが07h以下であると判定すると（ステップS3、YES）、レベル判定部106は、遅延制御部111とNORゲート113により画素値が07h以上から07h以下になった時点から所定の遅延時間Td以上経過したか否かを判定する（ステップS4）。

この判定により07h以下になった時点から所定の遅延時間Td以上経過していると判定した場合（ステップS4、YES）、上記レベル判定部106は、クロック信号CLK 0のオン、及びクロック信号CLK 1、CLK 2、CLK 3の

オフを判定する。この判定に従ってレベル判定部106は、NORゲート112により停止信号CG0として「0」を出力するとともに、NORゲート113～115により停止信号CG1、CG2、CG3として「1」を出力する。このレベル判定106からの停止信号CG0～CG3に従って、クロック制御部107は、クロック信号CLK0を供給し、クロック信号CLK1、CLK2、CLK3を停止する（ステップS5）。

また、上記ステップS4で、レベル判定を開始してから07h以上になっていない場合、つまり、レベル判定を開始してから00h～07hの状態が続いている場合、レベル判定部106は「YES」と判定し、上記ステップ5へ進むようになっている。

また、上記判定により07h以下になった時点から所定の遅延時間Td以上経過していないと判定した場合（ステップS4、NO）、上記レベル判定部106は、クロック信号CLK0、CLK1、CLK2、CLK3の供給状況（オン、オフの状態）を変化させない。

また、上記ステップS3で、画素値のレベルが07h以下でないと判定すると（ステップS3、NO）、レベル判定部106は、さらに、デコード部110により画素値のレベルが1Fh以下か否かを判定する（ステップS7）。この判定により画素値のレベルが1Fh以下であると判定すると（ステップS7、YES）、遅延制御部111とNORゲート114により画素値が1Fh以上から1Fh以下になった時点から所定の遅延時間Td以上経過したか否かを判定する（ステップS8）。

この判定により1Fh以下になった時点から所定の遅延時間Td以上経過していると判定した場合（ステップS8、YES）、上記レベル判定部106は、クロック信号CLK0、CLK1のオン、及びクロック信号CLK2、CLK3のオフを判定する。この判定に従ってレベル判定部106は、NORゲート112、113により停止信号CG0、CG1として「0」を出力するとともに、NORゲート114、115により停止信号CG1、CG2、CG3として「1」を出力する。このレベル判定106からの停止信号CG0～CG3に従って、クロック制御部107は、クロック信号CLK0、CLK1を供給し、クロック信号C

L K 2、C L K 3を停止する（ステップS 9）。

また、上記ステップS 8で、0 7 h以上になってから1 F h以上になっていない場合、つまり、0 7 h以上になってから0 7 h～1 F hのレベルが続いている場合、レベル判定部1 0 6は「Y E S」と判定し、上記ステップ9へ進むようになっている。

また、上記判定により1 F h以下になった時点から所定の遅延時間T d以上経過していないと判定した場合（ステップS 8、N O）、上記レベル判定部1 0 6は、クロック信号C L K 0、C L K 1、C L K 2、C L K 3の供給状況（オン、オフの状態）を変化させない。

また、上記ステップS 7で、画素値のレベルが1 F h以下でないと判定すると（ステップS 7、N O）、レベル判定部1 0 6は、さらに、デコード部1 1 0により画素値のレベルが3 F h以下か否かを判定する（ステップS 1 1）。この判定により画素値のレベルが3 F h以下であると判定すると（ステップS 1 1、Y E S）、遅延制御部1 1 1とN O Rゲート1 1 5により画素値が3 F h以上から3 F h以下になった時点から所定の遅延時間T d以上経過したか否かを判定する（ステップS 1 2）。

この判定により3 F h以下になった時点から所定の遅延時間T d以上経過していると判定した場合（ステップS 1 2、Y E S）、上記レベル判定部1 0 6は、クロック信号C L K 0、C L K 1、C L K 2のオン、及びクロック信号C L K 3のオフを判定する。この判定に従ってレベル判定部1 0 6は、N O Rゲート1 1 2～1 1 4により停止信号C G 0、C G 1、C G 2として「0」を出力するとともに、N O Rゲート1 1 5により停止信号C G 3として「1」を出力する。このレベル判定1 0 6からの停止信号C G 0～C G 3に従って、クロック制御部1 0 7は、クロック信号C L K 0、C L K 1、C L K 2を供給し、クロック信号C L K 3を停止する（ステップS 1 3）。

また、上記ステップS 1 2で、1 F以上になってから3 F h以上になっていない場合、つまり、1 F以上になってから1 F h～3 F hのレベルが続いている場合、レベル判定部1 0 6は、「Y E S」と判定し、上記ステップS 1 3へ進むようになっている。

また、上記判定により 3 F h 以下になった時点から所定の遅延時間 T d 以上経過していないと判定した場合（ステップ S 1 2、NO）、あるいは、上記ステップ S 1 1 で画素値のレベルが 1 F h よりも大きいと判定した場合（ステップ S 1 1、NO）、上記レベル判定部 1 0 6 は、クロック信号 C L K 0、C L K 1、C L K 2、C L K 3 を全てオンと判定する。この判定に従ってレベル判定部 1 0 6 は、NOR ゲート 1 1 2 ～ 1 1 5 により停止信号 C G 0、C G 1、C G 2、C G 3 として「0」を出力する。このレベル判定 1 0 6 からの停止信号 C G 0 ～ C G 3 に従って、クロック制御部 1 0 7 は、クロック信号 C L K 0、C L K 1、C L K 2、C L K 3 を全て供給する（ステップ S 1 4）。

上記のように、画像処理回路に入力されるデータのビットに応じてクロック信号を分割し、この分割したクロック信号の供給及び停止をデータの値に応じて制御するようにしたものである。これにより、データのビットのうち長時間使用されないビットに供給するクロック信号を停止し、画像処理回路での消費電力を削減できる。

また、複写機などの場合、白地に文字などが記載されている原稿が多いので、スキャナ部 4 で読取った画像には、濃度値が低い画素が多い。この場合、画像処理回路に入力される画像データの濃度値を示すビットの上位では、「0」が連続する。このような場合に、入力される画像データの濃度値のビットに応じてクロック信号を分割し、これらの分割した各クロック信号に対する閾値を予め設定し、これらの閾値と画像データの濃度値とを比較して、この比較結果に応じて閾値に対応するクロック信号を停止させる。これにより、白地の原稿などの濃度値が低い画素が多い原稿では、上位のビットに対応するクロック信号を停止でき、画像処理回路における消費電力を削減できる。

次に、図 9 は、図 3 に示すような画像処理部 6 5 の他の構成例を示すものである。なお、図 3 と同一の部分については、同一箇所に同一記号を付して説明を省略する。

図 9 に示す回路では、図 3 に示す回路と比べて、入力される画素値を一旦蓄えるライン遅延部 1 3 1 が設けられた構成となっている。このライン遅延部 1 3 1 では、R A M など構成される。このライン遅延部 1 3 1 では、入力された画素

値を一旦記憶することにより１クロック分あるいは数クロック分画像処理回路の各画像処理ブロック１０１～１０５へのデータの出力を遅らせるようになっている。また、レベル判定部１０６には、ライン遅延部１３１としてのＲＡＭへアクセス回路１３２が設けられている。このアクセス回路１３２により、レベル判定部１０６は、ライン遅延部１３１に記憶されているデータを参照することができるようになっている。

このように構成された画像処理部６５には、遅延されたデータが各画像処理ブロック１０１～１０５に入力される。一方、レベル判定部１０６は、各画像処理ブロック１０１～１０５に入力される前にデータを参照できる。これにより、図９に示す構成では、図３に示す構成と同様なクロック信号の制御が実現できるとともに、実際に画像データが各画像処理ブロック１０１～１０５に入力される前段で画素値のレベル判定を行うことができる。このため、レベル判定部１０６及びクロック制御部１０７による処理には、上記ライン遅延部１３１で遅延される時間（クロック数）分の時間的な余裕ができる。従って、データの判定処理にライン遅延部１３１で遅延される時間分の時間がかかっても、画像処理ブロックに入力されるデータとデータの判定結果に基づくクロック制御とを同期させることができる。

次に、図１０は、図３に示すような画像処理部６５の他の構成例を示すものである。なお、図３と同一の部分については、同一箇所に同一記号を付して説明を省略する。図１０に示す回路は、復号化部１４１で復号化された画像データが入力される場合の構成例を示す図である。図１０に示す回路では、例えば、図示しないハードディスク装置などに圧縮して記憶された画像データが復号化されて入力される。

上記復号化部１４１で復号化されるデータは、ビット幅を全て使用しない場合がある。この場合、画像データバスの有しているビット幅に満たないデータが割り当てられて転送される。従って、レベル判定部１０６は、データが存在しないビットを「０」として判断することにより、図３と同様な処理が実現できる。

また、レベル判定部１０６では、復号化部１４１での復号化の結果を利用するようにしても良い。この場合、レベル判定部１０６は、復号化部１４１での復号

化結果を受けてデータが「0」の上位bitを判定することにより画素値のレベルを判定する。これにより、図3に示す回路と同様なクロック制御が実現できる。

Additional advantages and modifications will readily occur to those skilled in the art. Therefore, the invention in its broader aspects is not limited to the specific details and representative embodiments shown and described herein. Accordingly, various modifications may be made without departing from the spirit or scope of the general inventive concept as defined by the appended claims and their equivalents.

WHAT IS CLAIMED IS:

クレーム 1

クロック信号により駆動される複数のビットで表されるデータの処理を行う画像処理回路において、

入力するデータの値が所定の値以下であるか否かを判定するレベル判定部と、
このレベル判定部により入力するデータの値が所定の値以下でないと判定した場合に、上記所定の値に対応するビットへのクロック信号を供給し、上記レベル判定部により所定の値以下であると判定した場合に、上記所定の値に対応するビットへのクロック信号の供給を停止するクロック制御部と、

を具備することを特徴とする画像処理回路。

クレーム 2

上記レベル判定部は、連続して入力するデータの値が所定の値以上から所定の値以下に変化した場合には、所定の値以上から所定の値以下に変化した時点から所定の遅延時間が経過するまで判定結果を上記遅延時間分遅延させることを特徴とする上記クレーム 1 に記載の画像処理回路。

クレーム 3

上記遅延時間は、当該画像処理回路に入力されたデータが当該画像処理回路から出力されるまでの画像処理時間であることを特徴とする上記クレーム 2 に記載の画像処理回路。

クレーム 4

上記レベル判定部は、入力するデータの値と上記各ビットに対する複数のクロック信号に対応して設定されているそれぞれの閾値と比較して、入力するデータの値が上記閾値以下であるか否かを判定し、

上記クロック制御部は、基準クロック信号を上記各ビットに対する複数のクロック信号に分割し、これらの分割した各クロック信号に対応するそれぞれの閾値と入力するデータの値との上記レベル判定部による判定結果に基づいて、入力するデータの値が閾値以下でない場合に当該閾値に対応するクロック信号を供給し、入力するデータの値が閾値以下である場合に当該閾値に対応するクロック信号を停止する、

ことを特徴とする上記クレーム 1 に記載の画像処理回路。

クレーム 5

上記レベル判定部は、入力するデータの値が上記閾値以下である場合に当該閾値に対応するクロック信号の停止信号を出力し、

上記クロック制御部は、基準クロック信号を上記各ビットに対する複数のクロック信号に分割し、これらの分割した各クロック信号を上記レベル判定部からの停止信号に基づいて停止することを特徴とする上記クレーム 4 に記載の画像処理回路。

クレーム 6

上記レベル判定部は、連続して入力するデータの値が上記閾値以上から上記閾値以下に変化した場合には、上記閾値以上から上記閾値以下に変化した時点から所定の遅延時間が経過するまで当該閾値に対応するクロック信号の停止信号を上記遅延時間分遅延させて出力することを特徴とする上記クレーム 5 に記載の画像処理回路。

クレーム 7

クロック信号により駆動される複数のビットで表される画像データの処理を行う画像処理回路を有する画像処理装置において、

上記画像処理回路に入力する画像データの濃度値が所定の濃度値以下であるか否かを判定するレベル判定部と、

このレベル判定部により入力する画像データの濃度値が所定の濃度値以下でないと判定した場合に上記所定の濃度値に対応するビットへのクロック信号を供給し、上記レベル判定部により所定の濃度値以下と判定した場合に上記所定の濃度値に対応するビットへのクロック信号の供給を停止するクロック制御部と、

を具備することを特徴とする画像処理装置。

クレーム 8

上記レベル判定部は、連続して入力する画像データの濃度値が上記所定の濃度値以上から上記所定の濃度値以下に変化した場合には、上記所定の濃度値以上から上記所定の濃度値以下に変化した時点から所定の遅延時間が経過するまで判定結果を上記遅延時間分遅延させることを特徴とする上記クレーム 7 に記載の画像

処理装置。

クレーム 9

上記レベル判定部は、入力する画像データの濃度値と上記各ビットに対する複数のクロック信号に対応して設定されているそれぞれの閾値と比較して、入力する画像データの濃度値が上記閾値以下であるか否かを判定し、

上記クロック制御部は、基準クロック信号を上記各ビットに対する複数のクロック信号に分割し、これらの分割した各クロック信号に対応するそれぞれの閾値と入力する画像データの濃度値との上記レベル判定部による判定結果に基づいて、入力する画像データの濃度値が閾値以下でない場合に当該閾値に対応するクロック信号を供給し、入力する画像データの濃度値が閾値以下である場合に当該閾値に対応するクロック信号を停止する、

ことを特徴とする上記クレーム 7 に記載の画像処理装置。

クレーム 10

上記レベル判定部は、入力する画像データの濃度値が上記閾値以下である場合に当該閾値に対応するクロック信号の停止信号を出力し、

上記クロック制御部は、基準クロック信号を上記各ビットに対する複数のクロック信号に分割し、これらの分割した各クロック信号を上記レベル判定部からの停止信号に基づいて停止することを特徴とする上記クレーム 9 に記載の画像処理装置。

クレーム 11

上記レベル判定部は、連続して入力する画像データの濃度値が上記閾値以上から上記閾値以下に変化した場合には、上記閾値以上から上記閾値以下に変化した時点から所定の遅延時間が経過するまで当該閾値に対応するクロック信号の停止信号を上記遅延時間分遅延させて出力することを特徴とする上記クレーム 10 に記載の画像処理装置。

クレーム 12

クロック信号により駆動される複数のビットで表されるデータの処理を行う画像処理回路の制御方法において、

入力するデータの値が所定の値以下であるか否かを判定する第 1 のステップと、

この第 1 のステップにより入力するデータの値が所定の値以下でないと判定した場合に上記所定の値に対応するビットへのクロック信号を供給し、上記第 1 のステップにより入力するデータの値が所定の値以下であると判定した場合に上記所定の値に対応するビットへのクロック信号の供給を停止する第 2 のステップと、
を有することを特徴とする画像処理回路の制御方法。

クレーム 1 3

上記第 1 のステップは、連続して入力するデータの値が所定の値以上から所定の値以下に変化した場合には、所定の値以上から所定の値以下に変化した時点から所定の遅延時間が経過するまで判定結果を上記遅延時間分遅延させることを特徴とする上記クレーム 1 2 に記載の画像処理回路の制御方法。

クレーム 1 4

上記第 1 のステップは、入力するデータの値と上記各ビットに対する複数のクロック信号に対応して設定されているそれぞれの閾値と比較して、入力するデータの値が上記閾値以下であるか否かを判定し、

上記第 2 のステップは、基準クロック信号を上記各ビットに対する複数のクロック信号に分割し、これらの分割した各クロック信号に対応するそれぞれの閾値と入力するデータの値との上記第 1 のステップによる判定結果に基づいて、入力するデータの値が閾値以下でない場合に当該閾値に対応するクロック信号を供給し、入力するデータの値が閾値以下である場合に当該閾値に対応するクロック信号を停止する、

ことを特徴とする上記クレーム 1 2 に記載の画像処理回路の制御方法。

クレーム 1 5

上記第 1 のステップは、入力するデータの値が上記閾値以下である場合に当該閾値に対応するクロック信号の停止信号を出力し、

上記第 2 のステップは、基準クロック信号を上記各ビットに対する複数のクロック信号に分割し、これらの分割した各クロック信号を上記停止信号に基づいて停止する、

ことを特徴とする上記クレーム 1 4 に記載の画像処理回路の制御方法。

クレーム 1 6

上記第 1 のステップは、連続して入力するデータの値が上記閾値以上から上記閾値以下に変化した場合には、上記閾値以上から上記閾値以下に変化した時点から所定の遅延時間が経過するまで当該閾値に対応するクロック信号の停止信号を上記遅延時間分遅延させて出力する、

ことを特徴とする上記クレーム 1 5 に記載の画像処理回路の制御方法。

ABSTRACT OF THE DISCLOSURE

上記のように、回路に入力されるデータのビットに応じてクロック信号を分割し、この分割したクロック信号の供給及び停止をデータの値に応じて制御するようにしたものである。これにより、データのビットのうち長時間使用されないビットに供給するクロック信号を停止し、回路での消費電力を削減できる。

2024.12.24 14:00